

• (54) SEMICONDUCTOR DEVICE

(11) 5-129516 (A) (43) 25.5.1993 (19) JP

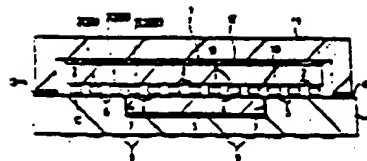
(21) Appl. No. 3-287635 (22) 1.11.1991

(71) HITACHI LTD (72) YOSHIKI HANABUSA(1)

(51) Int. Cl.⁵ H01L25/065; H01L25/07; H01L25/18

PURPOSE: To enhance the mounting density of a semiconductor device by a method wherein one out of a first semiconductor pellet and a second semiconductor pellet is arranged inside the area occupied by the other out of them.

CONSTITUTION: A semiconductor pellet 1 and a semiconductor pellet 3 are electrically and mechanically connected respectively via bump electrodes 10; they are connected by a facedown system. The semiconductor pellet 2 is mounted on the side of a pellet mounting face on a base substrate 5 in a state that its element formation face is faced with the element formation face of the semiconductor pellet 1. That is to say, the semiconductor pellet 3 is arranged inside the area occupied by the semiconductor pellet 1 via the bump electrodes 10. Thereby, the mounting density (in the plane direction) of a semiconductor device can be enhanced by a portion corresponding to the area occupied by the semiconductor pellet 3.



Translation]

(19) Japan Patent Office
(12) Patent Release (A)

(11) Patent Request Release No.

Hei.5 (1993)-129516

(43) Release Date: May 25, 1993

(51) Int.Cl. ⁵	Identification No.	Agency Control No.	FI	Technology Indicator Location
H 01 L 25 065 25/07 25/18		7220-4M	H 01 L 25/08	B

Examination Request: Not yet requested
Items in Application: 4 (Total: 6 pages)

(21) Patent Application No.: Hei.3(1991)-287635

(22) Application Date: November 1, 1991

(71) Applicant: 000005108
Hitachi Ltd.
#6 Kanda-Surugadai 4-chome
Chiyoda-ku, Tokyo [Japan]

(72) Inventor: Yoshiaki Ei
c/o Device Development Center
Hitachi Ltd.
2326 Imai, Ome-shi
Tokyo [Japan]

(72) Inventor: Mikinari Kawaji
[same address]

(74) Agent: Kazuki Akita, Patent attorney

(54) Name of Invention: Semiconductor Device

(57) Summary

Purpose: In a semiconductor device on which a semiconductor pellet is mounted on base substrate 5's mounting surface, to devise an increase in mounting density and acceleration of operating speed so as to increase throughput.

Makeup: In the above-noted semiconductor device one mounts semiconductor pellet 1 which has a logic circuit system consisting mainly of a bipolar transistor (single-action device) on the mounting surface of base substrate 5. On this semiconductor pellet 1's logic-circuit system one mounts semiconductor pellet 3 which has a memory-circuit system consisting mainly of a complementary MISFET (single-action device) different from the action device of this logic-circuit system, mounting it so that this memory-circuit system is opposite semiconductor pellet 1's logic-circuit system. And one electrically connects above-noted semiconductor 1's logic-circuit system to semiconductor pellet 3's memory-circuit system via bump electrode 10.

Makeup: Scope of Patent Application

Application Item 1 In a semiconductor device in which a semiconductor pellet is mounted on the mounting surface of a base substrate, a semiconductor device characterized by a first semiconductor pellet having a first circuit consisting mainly of a single-action device loaded on the mounting surface of the above base substrate, by a second semiconductor pellet having a second circuit consisting mainly of another single-action device differing from this first circuit's action device and mounted so that this second circuit and the first semiconductor pellet's first circuit face each other, with the above first semiconductor pellet's first circuit and the second semiconductor pellet's second circuit being electrically connected to each other.

Application Item 2 The semiconductor device described in Application Item 1, which is characterized by either the above first semiconductor pellet's first circuit or the second semiconductor pellet's second circuit consisting mainly of a bipolar transistor and the other consisting mainly of a MISFET.

Application Item 3 The semiconductor device described in Application Item 1 or Application 2, which is characterized by power sources being provided to the above first semiconductor pellet's first circuit and the second semiconductor pellet's second circuit independently.

Application Item 4 The semiconductor device described in Application Items 1 through 3, which is characterized by whichever of the above first semiconductor pellet's first circuit or the second semiconductor pellet's second circuit yields higher heat being mounted closer on the base substrate mounting surface to the cooling system than the other one generating less heat.

Detailed Explanation of Invention

0001 Field for Commercial Utilization: This invention is one bearing on a semiconductor device, and particularly on technology effectively applied to semiconductor devices on which semiconductor pellets are mounted on a base substrate.

0002 Usual Technology Semiconductors are well known that use a face-down mode as semiconductor devices that give a high mounting density. Such a semiconductor device mounts semiconductor pellets (semiconductor integrated-circuit devices) in a face-down mode on the mounting surface of a base substrate and seal this semiconductor pellet with a sealing cap. The semiconductor pellet is sealed in the cavity formed by the base substrate and sealing cap. The face-down mode is a way of electrically and mechanically connecting external terminals (bonding pads) created on the device-forming side of semiconductor pellets as well as each electrode formed on a base substrate's pellet-loading side, such as bump electrodes wherein solder is used (CCB electrodes, bump electrodes). As the face-down mode allows mounting on the base substrate within the area exclusively for the semiconductor pellet, it can reduce the bonding area and shorten signal-transmitting routes as compared to the bonding-wire method.

0003 The semiconductor device for which we inventors used the face-down mode has multiple substrates mounted on the mounting substrate, such as a module substrate, PCB substrate, etc., and is built with a strong cooling system using a cooling device. This semiconductor device is linked to the connecting face (inner wall) of the sealing cap's pellet by a heat-conductive filler compound on the inside which faces the device-forming face of the semiconductor pellet, and conducts to the sealing cap any heat generated by operation of the circuit system mounted on the semiconductor pellet's device-forming face. Heat conducted to the sealing cap is further conducted to the cooling device. For a heat-conductive filler compound, solder with high heat conductivity is used.

0004 For the purpose of increasing integration density (a semiconductor device's mounting density), the above-noted circuit system mounted on the semiconductor pellet consists mainly of several kinds of action devices, such as complementary MISFETs, etc. A bipolar transistor yields a high drive capacity, while a complementary MISFET yields high integration density and low power consumption. Also, the circuit system mounted on the semiconductor pellets consists

of mixed circuit systems such as logic circuit systems and memory circuit systems.

0005 A semiconductor device using the above face-down mode is described in Patent Release Report 62-249429.

0006 **Problems the Invention Seeks to Resolve:** As a result of studying semiconductor devices using the above-noted face-down mode, we inventors found the following problems.

0007 Circuit systems mounted on the above-noted semiconductor pellets of semiconductor devices consist mainly of a variety of action devices, such as bipolar transistors, complementary MISFETs, etc. So, the semiconductor pellets have a mix of different devices, and that simply works out roughly to a doubling of the fabricating processes. That means a reduction in semiconductor throughput, resulting in a reduced throughput for the semiconductor device.

0008 The purpose of this invention is to provide technology that can increase mounting density in semiconductor devices mounting semiconductor pellets on the mounting surface of base substrates.

0009 Another purpose of this invention is to provide technology capable of working out an acceleration of the above-noted semiconductor device's operating speed.

0010 Still another goal of this invention is to provide technology that can both achieve the afore-noted goals and increase the throughput of the above-noted semiconductor device.

0011 This invention's above-stated goals and other purposes and its new characteristics should become clear from the specifications' descriptions and the appended figures.

0012 **Means to Resolve Problems:** The following will briefly explain in summary what is typical of the invention reported in this application.

0013 (1) In a semiconductor wherein a semiconductor pellet is mounted on the mounting surface of a base substrate, a semiconductor device characterized by a first semiconductor pellet having a first circuit consisting mainly of a single-action device mounted on the mounting surface of the above base substrate, by a second semiconductor pellet having a second circuit consisting mainly of another single-action device differing from this first circuit's action device in

being mounted so that this second circuit and the first semiconductor pellet's first circuit face each other, with the above first semiconductor pellet's first circuit and the second semiconductor pellet's second circuit electrically connected to each other.

0014 (2) The above-noted first semiconductor pellet's first circuit and second semiconductor pellet's second circuit are supplied with power independently of each other from the side of the above-noted base substrate.

0015 (3) Whichever of the above first semiconductor pellet's first circuit or the second semiconductor pellet's second circuit creates more heat from its circuit operation will be mounted closer on the base substrate's mounting surface to the cooling system than the other one generating less heat.

0016 Effects With the above-described means (1), between the first semiconductor pellet and the second semiconductor pellet, one is positioned in the occupied area of the other; and thus the semiconductor device's mounting density can be increased to a degree corresponding to the occupied area of the other.

0017 Also, because the first semiconductor pellet's first circuit and the second semiconductor pellet's second circuit are electrically connected through the bump electrode at a minimal distance, the signal-transmission route can be made shorter than the case of using a bonded wire with a wire-bonding mode, so that one can devise an acceleration of the semiconductor device's operating speed.

0018 Also, since action devices mounted respectively on the first semiconductor pellet's first circuit and on the second semiconductor pellet's second circuit are formed by optimal and independent fabrication processes differing from each other, as compared to the case of forming a mixed variety of action devices on a semiconductor pellet, one can reduce the fabrication processes of the first semiconductor pellet and second semiconductor pellet and raise each fabrication process's throughput, resulting in improving the throughput of the final semiconductor device.

0019 With the above-described means (2), power source noise arising during operation of the first semiconductor pellet's first circuit and the second semiconductor pellet's second circuit can be absorbed, so that the operating speed of the circuits of each can be accelerated, enabling one to

devise an acceleration of the semiconductor device's operating speed.

0020 With the above-described means (3), as between the first semiconductor pellet's first circuit and the second semiconductor pellet's second circuit, the semiconductor pellet generating the more heat can be cooled by the cooling system to raise this semiconductor pellet's heat radiating efficiency, and thus can prevent the semiconductor pellet's malfunctioning and improve the semiconductor device's reliability.

0021 Below we explain both the makeup of this invention and an example of applying this invention to a semiconductor device using the face-down mode.

0022 In all figures illustrating the application example, parts having the same function are assigned the same keying symbols, and we omit any repetition of their explanation.

0023 **Application Example** In Figure 1 (cross-sectional diagram) we illustrate an outline makeup of a semiconductor device using the face-down mode, which is this invention's application example.

0024 As shown in Figure 1, the semiconductor device using a face-down mode--this invention's application example--has mounted semiconductor pellets 1 and 3 respectively on the pellet-loading side (mounting face) of base substrate 5, with semiconductor pellets 1 and 3 sealed by sealing cap 11.

0025 Above semiconductor pellet 1 consists mainly, for instance, of a semiconductor substrate of monosilicon and has, for instance, a logic circuit system mounted on its device-mounting surface (the under surface in the figure). This logic circuit system consists, for instance, mainly of a bipolar transistor that can yield a high drive capacity and is a single-action device. Several external terminals (bonding pads) 2 are arrayed on the device-forming surface of semiconductor pellet 1. These external terminals 2 are formed by the highest of the wiring layers that make connections between the bipolar transistors making up the above logic circuit system, and may consist, for example, of aluminum-alloy film. Semiconductor pellet 1 makes up the logic circuit system for a single-action device (bipolar transistor), so that the number of fabricating processes can be reduced as compared to cases of making up logic circuit systems for a variety of action devices (e.g., bipolar transistors, MISFETs, etc.), and so can be formed by optimal fabricating processes.

0026 Above-noted semiconductor pellet 3 consists mainly of a semiconductor substrate made, for example, of monosilicon, and its device-forming surface (the upper surface in the figure) with a memory circuit system mounted on it. This memory circuit system consists mainly, for instance, of a complementary MISFET (CMOS) that can yield high integration density and low power consumption and is a single-action device. On the device-forming surface of semiconductor pellet 3 are arrayed multiple external terminals (bonding pads) 4. These external terminals 4 are made from the uppermost of the wiring layers making connections between the complementary MISFETs constituting the above-noted memory circuit system, and are made, e.g., of aluminum alloy film. Since semiconductor pellet 3 consists of a memory circuit system for single-action devices (complementary MISFETs), the number of fabricating processes can be reduced compared to the case of making up logic circuit systems for a variety of action devices (e.g., bipolar transistors, MISFETs, etc.), so that the devices can be formed by optimal fabricating processes.

0027 Above-noted base substrate 5 is made, for instance, of murite and consists of multiple wiring layers. While not shown in the figure, a depression is formed at the center of base substrate 5's pellet-loading surface, and the above semiconductor pellet 3 is located within this depression 7. That is, depression 7's opening is made a size larger than the surface of semiconductor pellet 3 and depression 7's bottom surface is located at a lower position than base substrate 5's pellet-loading surface. Multiple electrodes 6 are arrayed in the domain of depression 7's perimeter on base substrate 5's pellet-mounting surface; and on the reverse side opposing base substrate 5's pellet-loading surface are arrayed multiple electrodes 9. Each of these electrodes 6 and 9 are electrically connected through the above-noted wiring of the multi-layered wiring structure.

0028 Between each of the above-noted base substrate 5's electrodes 6 and semiconductor pellet 1's external terminals 2 stands a bump electrode 10 (CCB electrode, protruding electrode). That is, base substrate 5 and semiconductor pellets 1 are each electrically and mechanically connected through bump electrodes 10 and connected in the face-down mode. Through bump electrodes 10 semiconductor pellet 1 is mounted on base substrate 5's pellet-loading surface. I.e., semiconductor pellets 1 are positioned within base substrate 5's occupied area.

0029 Bump electrodes 10 stand between each of above-noted semiconductor pellet 1's external terminals 2 and semi-

conductor pellet 3's external terminals 4. I.e., each of semiconductor pellets 1 and 3 are connected electrically and mechanically through bump electrodes 10, being connected in the face-down mode. Semiconductor pellet 3 is mounted on the pellet-loading surface side of base substrate 5 so that its device-forming surface is opposite to semiconductor pellet 1's device-forming surface and mounted on semiconductor pellet 1's device-forming surface. I.e., semiconductor pellet 3 is positioned within semiconductor pellet 1's occupied area through bump electrode 10, so that to the degree that it is within this semiconductor pellet 2's occupied area, one can improve the mounting density (in a horizontal direction) of the semiconductor device.

Also, since semiconductor pellet 1's logic circuit system and semiconductor pellet 2's memory circuit system are electrically connected over the shortest distance via bump electrode 10, the signal-transmittal route can be shorter than with bonded wire of a wire-bonding system, and one can work out the acceleration of the semiconductor device's operating speed. Above-noted bump-electrode 10 is made of solder which is located at the highest temperature of the temperature hierarchy.

0030 Above-noted sealing cap 11's cross-section is that of an open-sided rectangle and makes a cavity that contains and makes an airtight seal for semiconductor pellets 1 and 3 on base substrate 5. Sealing cap 11 is made of a good heat conductor such as aluminum nitride.

0031 The pellet-linking surface (inside) of above-noted sealing cap 11 connects via heat-conductive filler 12 to semiconductor pellet 1's reverse side facing its device-forming surface. Heat-conducting filler 12 almost totally adheres to both of these and so can, with high efficiency, conduct to sealing cap 11 the heat generated by operating the logic circuit system mounted on semiconductor pellet 1's device-forming surface. This heat-conducting filler 12 is made of solder with a lower melting point than above-noted bump electrode 10.

0032 Above-noted sealing cap 12 is sealed to base substrate 5 by sealing material 13 around the perimeter of semiconductor pellet 1. When sealing material 13 connects the pellet linking surface of sealing cap 11 to the reverse side of semiconductor pellet 1 via heat-conductive material 12, part of heat-conductive material 12 has flowed into the contact domain of sealing cap 11 with base substrate 5. Gas used in the sealing process during assembly fills the inside of the cavity formed by above-noted base substrate 5 and sealing cap 11 which is sealed airtight by sealer 13.

0033 As shown in Figure 2 (enlarged cross section of the main parts of the semiconductor device shown in Figure 1), external terminal 2A--one of above-noted semiconductor pellet 1's external terminals 2--is connected electrically to one side of wiring layer 8A of the multi-layer wiring structure of base substrate 5 via bump electrode 10 and base substrate 5's electrode 6. Wiring 8A's other side is connected to base substrate 5's electrode 9. Power impressed to this electrode 9 flows through wiring 8A, electrode 6, bump electrode 10 and external terminal 2A in being supplied to semiconductor pellet 1's logic circuit system.

0034 Of the above external terminals 2, external terminal 2B1 constitutes a unit with adjoining external terminal 2B2. These external terminals 2B1 and 2B2 are formed as so-called dummy pads not connected to semiconductor pellet 1's logic circuit system. External terminal 2B2 is electrically connected to semiconductor pellet 3's external electrode 4 via bump electrode 10. External terminal 2B1 is connected to one side of wiring 8B of base substrate 5's multi-layered wiring structure respectively through bump electrode 10 and base substrate 5's electrode 6. Wiring 8B's other side is connected to base substrate 5's electrode 9. Power applied at this electrode 9 goes through wiring 8B, electrode 6, bump electrode 10, external terminals 2B1 and 2B2, bump electrode 10 and external terminal 4 to be supplied to semiconductor pellet 3's memory circuit system. That is, power is independently supplied to semiconductor pellets 1 and 2 respectively by base substrate 5's wiring 8A and 8B; and they are so made up that they can readily absorb power source noise arising when semiconductor pellet 1's logic circuit system and semiconductor pellet 3's memory circuit system are operating.

0035 As shown in Figure 3 (system makeup diagram), the semiconductor device made up this way is in a face-down mode and mounted singly or in multiples on the mounting surface of cooling system 20's mounting substrate (module substrate or PCB substrate). I.e., by connecting the semiconductor device electrically and mechanically to mounting substrate 23's electrode 24 via bump electrode 25 on base substrate 5, it will be installed on mounting substrate 23. This semiconductor device is sealed inside the cavity formed by mounting substrate 23 and sealing cap 22. Sealing cap 22 is affixed to mounting substrate 23 by sealant 27. Cooling system 20's mounting substrate 23 consists of a multi-layered wiring structure like the above-noted semiconductor device's base substrate 5.

0036 On the upper surface of above-noted semiconductor device's sealing cap 11 is installed cooling fan 21 with a comb-tooth form. This cooling fan 21 blows over heat-conducting filler 12 and sealing cap 11, and is so made as to cool the heat on the cooling system 20 side generated by running the logic circuit system mounted on semiconductor pellet 1.

0037 Above-noted sealing cap 22 consists, for example, of aluminum nitride. This sealing cap 22 includes above-noted cooling fan 32 and comb-teeth 22A which contact above-noted cooling fan 21. The generated heat driven through cooling fan 21 is expelled to water-cooled jacket 26 on its top. A number of cooling water pipes 26A are built into this water-cooled jacket, with the coolant water circulating inside the cooling water pipes. Heat conducted to sealing cap 22 from above-noted cooling fan 21 is conducted to the coolant water circulating inside cooling water pipes 26A and carried off to the outside of cooling system 20.

0038 The above-noted semiconductor device positions semiconductor pellet 1 at the side of cooling system 20. This semiconductor pellet 1 has a higher power consumption than a complementary MISFET--i.e., it mounts a logic circuit system consisting of a bipolar transistor generating much heat. Heat generated created by operating this logic circuit system is efficiently conducted to sealing cap 11 by heat-conducting filler 12 and is efficiently conducted to cooling system 20 through cooling fan 21.

0039 Thus, in a semiconductor device having semiconductor pellets mounted on base substrate 5's pellet-loading surface (mounting surface), one loads semiconductor pellet 1 with its logic circuit system mainly consisting of a bipolar transistor (single-action device) on the above-noted base substrate 5's pellet-loading surface. On this semiconductor pellet 1's logic circuit system one loads semiconductor pellet 3 which has a memory circuit system consisting mainly of a complementary MISFET (single-action device) differing from this logic-circuit system's bipolar transistor, so that this memory circuit system faces semiconductor pellet 1's logic circuit system and so that the above semiconductor pellet 1's logic circuit system and semiconductor pellet 3's memory circuit system are electrically connected to each other via bump electrode 10. With this makeup, semiconductor pellet 3 is situated within semiconductor pellet 1's occupied area, so that, to a degree corresponding to semiconductor pellet 3's occupied area, one can increase the semiconductor device's mounting density.

0040 Also, because semiconductor pellet 1's logic circuit system and semiconductor 3's memory circuit system are electrically connected over the shortest distance via bump electrode 10, the signal-transmittal route can be shortened compared to cases going through a bonded wire in a wire-bonding mode, allowing one to work out an acceleration of the semiconductor device's operating speed.

0041 Again, one can form the bipolar transistor making up semiconductor pellet 1's logic circuit system and the complementary MISFET making up semiconductor pellet 3's memory circuit system by optimal, independent, mutually different fabricating processes; and compared to cases of forming a mixed variety of action devices (bipolar transistors, complementary MISFETs) one can reduce the fabricating processes for semiconductor pellets 1 and 3, and so increase the throughput of their respective fabricating processes to improve the final semiconductor device's throughput.

0042 And, above-noted semiconductor pellet 1's logic-circuit system and semiconductor pellet 3's memory-circuit system respectively are supplied with power independently from above-noted base substrate 5's wiring 8A and 8B. Due to this makeup, power source noise arising when semiconductor pellet 1's logic circuit system and semiconductor pellet 3's memory circuit system operate can be absorbed, so that one can speed up the respective circuits' running speed and work out an acceleration of the semiconductor device's operating speed.

0043 As between above-noted semiconductor pellet 1's logic circuit system and semiconductor pellet 3's memory circuit system, the logic circuit system of semiconductor pellet 1 consists of a bipolar transistor giving a high drive capacity (high heat output) compared to semiconductor pellet 3 with its memory circuit system consisting of a complementary MISFET giving low power consumption (less heat output), so that semiconductor pellet 1 is loaded onto the loading surface of base substrate 5 near to cooling system 20. With this makeup, cooling system 20 can cool semiconductor pellet 1 which generates more heat from its circuit operations and can increase this semiconductor pellet 1's cooling efficiency, thus preventing malfunction of semiconductor pellet 1 and improving the semiconductor device's reliability.

0044 In this application example semiconductor pellets 1 and 3 were each made up with monosilicon substrates; but either one of them might be made up with a semi-insulating substrate made, for instance, of GaAs (gallium, arsenic) to improve its multi-functionality.

0045 Also, one or the other of semiconductor pellet 1 and semiconductor pellet 2 might also be made up for use in repairing the other semiconductor pellet.

0046 Based on the above application example, the above has explained concretely the invention we inventors have made; but this invention is not limited to the above application example and naturally could be applied to a number of variations within a range not going beyond its main points.

0047 **Effects of Invention** The following will simply explain the effects yielded by the things typical of the invention reported in this patent application.

0048 In a semiconductor device mounting a semiconductor pellet on a base substrate's mounting surface, mounting density can be improved.

0049 It can also work to accelerate the above semiconductor device's operating speed.

0050 Moreover, it can improve the throughput of the above semiconductor device.

0051 It can also lead to even further acceleration of the above semiconductor device's operating speed.

0052 It can prevent malfunction of the above semiconductor device.

Simple Explanation of Figures

Figure 1 Cross-sectional diagram of semiconductor device which is one example of applying this invention.

Figure 2 Enlarged cross-sectional diagram of main parts of above-noted semiconductor device.

Figure 3 System-makeup diagram including cooling system of above-noted semiconductor device.

Explanation of Keying Symbols

1	Semiconductor pellet	10	Bump electrode
2	External terminal	11	Sealing cap
3	Semiconductor pellet	12	Heat-conducting filler material
4	External terminal	13	Sealant
5	Base substrate	20	Cooling system
6	Electrode	21	Cooling fan
7	Depression		

8A, 8B Wiring
9 Electrode

22 Sealing cap
23 Mounting substrate

実装される半導体装置において、実装密度を向上できる。

【0049】また、前記半導体装置の動作速度の高速化を図ることができる。

【0050】また、前記半導体装置の歩留まりを向上できる。

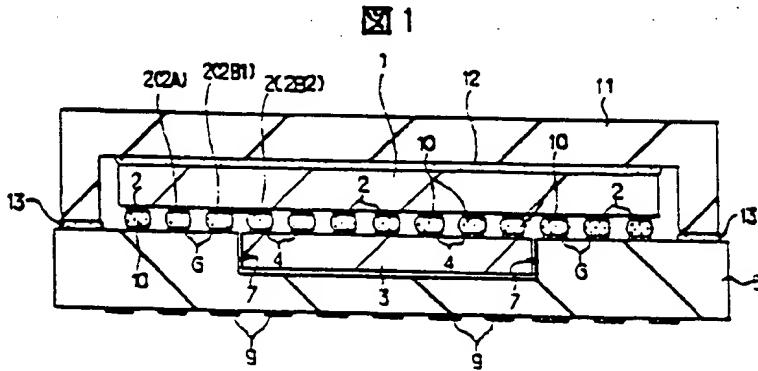
【0051】また、前記半導体装置の動作速度の高速化をより図ることができる。

【0052】また、前記半導体装置の誤動作を防止できる。

【図面の簡単な説明】

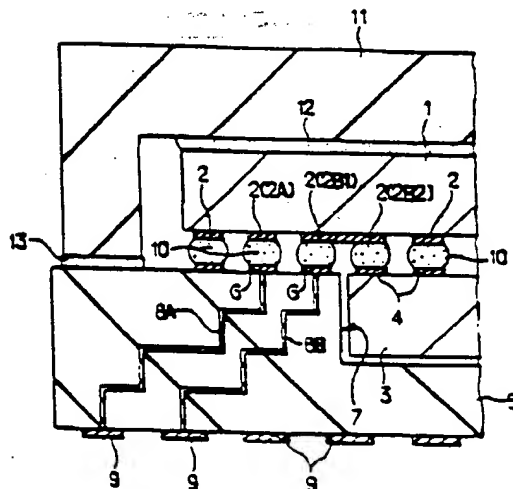
【図1】 本発明の一実施例である半導体装置の断面

【図1】



【図2】

図2



図。

【図2】 前記半導体装置の要部拡大断面図。

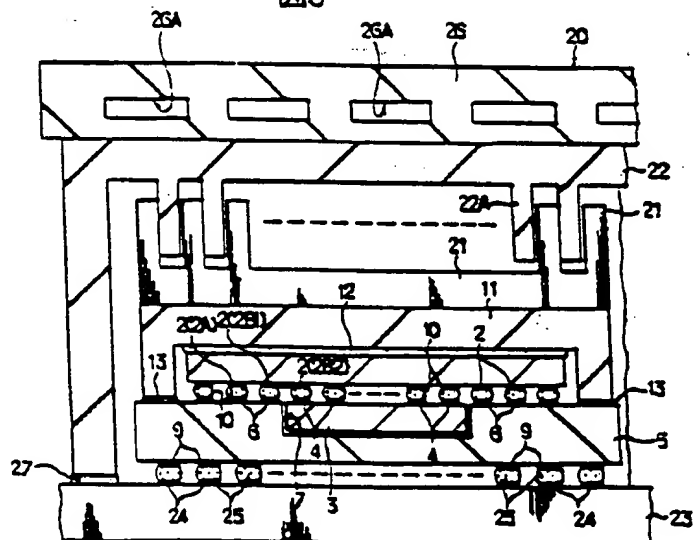
【図3】 前記半導体装置を冷却システムに組込んだシステム構成図。

【符号の説明】

1…半導体ベレット、2…外部端子、3…半導体ベッ
ト、4…外部端子、5…ベース基板、6…電極、7…凹
部、8A、8B…配線、9…電極、10…パンプ電極、
11…封止用キャップ、12…熱伝導用充填材、13…
封止材、20…冷却システム、21…放熱フィン、22
…封止用キャップ、23…実装基板。

【図3】

図3



特開平5-129516

(43) 公開日 平成5年(1993)5月25日

(51) Int.Cl.³

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 25/065

25/07

25/18

7220-4M

H 0 1 L 25/ 08

B

審査請求 未請求 請求項の数 4 (全 6 頁)

(21) 出願番号 特願平3-287635

(22) 出願日 平成3年(1991)11月1日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 英 善明

東京都青梅市今井2326番地 株式会社日立

製作所デバイス開発センタ内

(72) 発明者 河路 幹規

東京都青梅市今井2326番地 株式会社日立

製作所デバイス開発センタ内

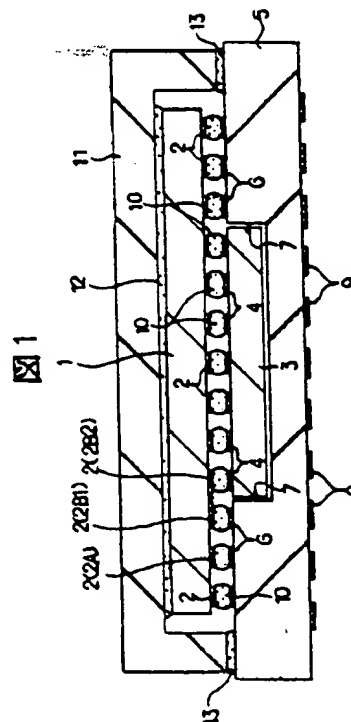
(74) 代理人 弁理士 秋田 収喜

(54) 【発明の名称】 半導体装置

(57) 【要約】

【目的】 ベース基板5の実装面上に半導体ベレットが実装される半導体装置において、実装密度を高め、動作速度の高速化を図り、歩留まりを高める。

【構成】 前記半導体装置において、ベース基板5の実装面上にバイポーラトランジスタ(単一能動素子)を主体に構成される論理回路システムを有する半導体ベレット1を搭載し、この半導体ベレット1の論理回路システム上に、この論理回路システムの能動素子と異なる相補型MISFET(単一能動素子)を主体に構成される記憶回路システムを有する半導体ベレット3を、その記憶回路システムと半導体ベレット1の論理回路システムとが対向する状態で搭載し、前記半導体ベレット1の論理回路システム、半導体ベレット3の記憶回路システムの夫々をバンプ電極10を介して電気的に接続する。



【特許請求の範囲】

【請求項1】 ベース基板の実装面上に半導体ベレットが実装される半導体装置において、前記ベース基板の実装面上に単一能動素子を主体に構成される第1回路を有する第1半導体ベレットを搭載し、この第1半導体ベレットの第1回路上に、この第1回路の能動素子と異なる他の単一能動素子を主体に構成される第2回路を有する第2半導体ベレットを、その第2回路と第1半導体ベレットの第1回路とが対向する状態で搭載し、前記第1半導体ベレットの第1回路、第2半導体ベレットの第2回路の夫々をバンプ電極を介在して電氣的に接続したことを特徴とする半導体装置。

【請求項2】 前記第1半導体ベレットの第1回路、第2半導体ベレットの第2回路のうち、一方はバイポーラトランジスタを主体に構成され、他方はMISFETを主体に構成されることを特徴する請求項1に記載の半導体装置。

【請求項3】 前記第1半導体ベレットの第1回路、第2半導体ベレットの第2回路の夫々は、前記ベース基板側から夫々独立に電源が供給されることを特徴とする請求項1又は請求項2に記載の半導体装置。

【請求項4】 前記第1半導体ベレットの第1回路、第2半導体ベレットの第2回路のうち、回路動作で発生する熱量が大きい一方を、発生する熱量が小さい他方に比べて、冷却システムに近づけてベース基板の実装面上に搭載したことを特徴とする請求項1乃至請求項3に記載のいずれかの半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体装置に関し、特に、ベース基板の実装面上に半導体ベレットが実装される半導体装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】 高い実装密度が得られる半導体装置として、フェースダウン方式を利用した半導体装置が知られている。この種の半導体装置は、ベース基板のベレット搭載面上にフェースダウン方式で半導体ベレット（半導体集積回路装置）を実装し、この半導体ベレットを封止用キャップで封止する。半導体ベレットはベース基板及び封止用キャップで形成されるキャビティ内に封止される。フェースダウン方式は、半導体ベレットの素子形成面側に形成された外部端子（ボンディングパッド）、ベース基板のベレット搭載面側に形成された電極の夫々を例えば半田を使用したバンプ電極（CCB電極、突起電極）で電氣的及び機械的に接続する方式である。フェースダウン方式は、半導体ベレットの占有面積内においてベース基板に実装できるので、ボンディングワイヤ方式に比べて実装面積並びに信号伝達経路を縮小できる。

【0003】 本発明者が開発中のフェースダウン方式を

利用する半導体装置は、モジュール基板、PCB基板等の実装基板の実装面上に複数個実装され、冷却装置で強制冷却される冷却システムに組込まれる。この半導体装置は、半導体ベレットの素子形成面と対向する裏面が熱伝導用充填材を介在して封止用キャップのベレット連結面（内壁）に連結され、半導体ベレットの素子形成面側に搭載された回路システムの動作で発生する熱を封止用キャップに伝導している。封止用キャップに伝導された熱はさらに冷却装置に伝導される。熱伝導用充填材は熱伝導性が高い半田を使用する。

【0004】 前記半導体ベレットに搭載される回路システムは、集積度（半導体装置の実装密度）を高める目的として、例えばバイポーラトランジスタ、相補型MISFET等の多種類の能動素子を主体に構成される。バイポーラトランジスタは高い駆動能力が得られ、相補型MISFETは高い集積度や低消費電力化が得られる。また、半導体ベレットに搭載される回路システムは、論理回路システム、記憶回路システム等の混合回路システムで構成される。

【0005】 なお、前記フェースダウン方式を利用する半導体装置については、特開昭62-249429号公報に記載されている。

【0006】

【発明が解決しようとする課題】 本発明者は、前記フェースダウン方式を利用する半導体装置について検討した結果、以下の問題点を見出した。

【0007】 前記半導体装置の半導体ベレットに搭載される回路システムは、バイポーラトランジスタ、相補型MISFET等の多種類の能動素子を主体に構成される。このため、半導体ベレットは、異なるデバイスが混在し、単純に約2倍の製造プロセス数の増大となるので、半導体ベレットの歩留まりが低下し、結果的に半導体装置の歩留まりが低下する。

【0008】 本発明の目的は、ベース基板の実装面上に半導体ベレットが実装される半導体装置において、実装密度を高めることが可能な技術を提供することにある。

【0009】 本発明の他の目的は、前記半導体装置の動作速度の高速化を図ることが可能な技術を提供することにある。

【0010】 本発明の他の目的は、前記目的を達成すると共に、前記半導体装置の歩留まりを高めることが可能な技術を提供することにある。

【0011】 本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

【0012】

【課題を解決するための手段】 本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

【0013】 (1) ベース基板の実装面上に半導体ベレッ

トが実装される半導体装置において、前記ベース基板の実装面上に単一能動素子を主体に構成される第1回路を有する第1半導体ベレットを搭載し、この第1半導体ベレットの第1回路上に、この第1回路の能動素子と異なる他の単一能動素子を主体に構成される第2回路を有する第2半導体ベレットを、その第2回路と第1半導体ベレットの第1回路とが対向する状態で搭載し、この第1半導体ベレットの第1回路、第2半導体ベレットの第2回路の夫々をバンプ電極を介在して電気的に接続する。

【0014】(2)前記第1半導体ベレットの第1回路、第2半導体ベレットの第2回路の夫々は、前記ベース基板側から夫々独立に電源が供給される。

【0015】(3)前記第1半導体ベレットの第1回路、第2半導体ベレットの第2回路のうち、回路動作で発生する熱量が大きい一方を、発生する熱量が小さい他方に比べて、冷却システムに近づけてベース基板の実装面上に搭載する。

【0016】

【作用】上述した手段(1)によれば、第1半導体ベレット、第2半導体ベレットのうち、いずれか一方の占有面積内に他方を配置したので、この他方の占有面積に相当する分、半導体装置の実装密度を向上できる。

【0017】また、第1半導体ベレットの第1回路、第2半導体ベレットの第2回路の夫々をバンプ電極を介在して最短距離で電気的に接続したので、ワイヤボンディング方式でボンディングされたワイヤを介在する場合に比べて信号伝達経路を短くでき、半導体装置の動作速度の高速化を図ることができる。

【0018】また、第1半導体ベレットの第1回路、第2半導体ベレットの第2回路の夫々に搭載される能動素子を相互に異なる最適かつ独立な製造プロセスで形成できるので、多種類の能動素子を1つの半導体ベレットに混在して形成する場合に比べて、第1半導体ベレット、第2半導体ベレットの夫々の製造プロセスを低減し、夫々の製造プロセスでの歩留まりを向上でき、結果的に最終的な半導体装置の歩留まりを向上できる。

【0019】上述した手段(2)によれば、第1半導体ベレットの第1回路、第2半導体ベレットの第2回路の夫々の動作時に生じる電源ノイズを吸収できるので、夫々の回路の動作速度を速め、半導体装置の動作速度の高速化を図ることができる。

【0020】上述した手段(3)によれば、第1半導体ベレットの第1回路、第2半導体ベレットの第2回路のうち、回路動作で発生する熱量の大きい半導体ベレットを冷却システムで冷却でき、この半導体ベレットの放熱効率を高められるので、半導体ベレットの誤動作を防止し、半導体装置の信頼性を向上できる。

【0021】以下、本発明の構成について、フェースダウン方式を利用する半導体装置に本発明を適用した一実施例とともに説明する。

【0022】なお、実施例を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0023】

【実施例】本発明の一実施例であるフェースダウン方式を利用する半導体装置の概略構成を図1(断面図)で示す。

【0024】図1に示すように、本発明の一実施例であるフェースダウン方式を利用する半導体装置は、ベース基板5のベレット搭載面(実装面)側に半導体ベレット1、半導体ベレット3の夫々を搭載し、この半導体ベレット1、半導体ベレット3の夫々を封止用キャップ11で封止する。

【0025】前記半導体ベレット1は、例えば単結晶珪素からなる半導体基板を主体に構成され、その素子形成面(図1中下面)に例えば論理回路システムを搭載している。この論理回路システムは、例えば高い駆動能力が得られるバイポーラトランジスタを主体に構成され、単一能動素子で構成される。半導体ベレット1の素子形成面側には外部端子(ボンディングパッド)2が複数個配列される。この外部端子2は、前記論理回路システムを構成するバイポーラトランジスタ間を接続する配線層のうち最上層の配線層で形成され、例えばアルミニウム合金膜で形成される。半導体ベレット1は、単一能動素子(バイポーラトランジスタ)で論理回路システムを構成しているので、多種類の能動素子(例えばバイポーラトランジスタ、MISFET等)で論理回路システムを構成する場合に比べて製造プロセス数を低減でき、最適な製造プロセスで形成できる。

【0026】前記半導体ベレット3は、例えば単結晶珪素からなる半導体基板を主体に構成され、その素子形成面(図1中上面)に例えば記憶回路システムを搭載している。この記憶回路システムは、例えば高い集積度や低消費電力化が得られる相補型MISFET(CMOS)を主体に構成され、単一能動素子で構成される。半導体ベレット3の素子形成面側には外部端子(ボンディングパッド)4が複数個配列される。この外部端子4は、前記記憶回路システムを構成する相補型MISFET間を接続する配線層のうち最上層の配線層で形成され、例えばアルミニウム合金膜で形成される。半導体ベレット3は、単一能動素子(相補型MISFET)で記憶回路システムを構成している所以、多種類の能動素子で記憶回路システムを構成する場合に比べて製造プロセス数を低減でき、最適な製造プロセスで形成できる。

【0027】前記ベース基板5は、例えばムライトで形成され、図示していないが多層配線構造で構成される。ベース基板5のベレット搭載面の中央部には凹部7が形成され、この凹部7内には前記半導体ベレット3が配置される。つまり、凹部7の開口サイズは半導体ベレット3の平面形状に比べてひとまわり大きなサイズで形成さ

れ、凹部7の底面の位置はベース基板5のペレット搭載面の位置よりも低く構成される。ベース基板5のペレット搭載面上には凹部7の周囲の領域において電極6が複数個配列され、ベース基板5のペレット搭載面と対向する裏面には電極9が複数個配列される。この電極6、電極9の夫々は前記多層配線構造の配線を介して電氣的に接続される。

【0028】前記ベース基板5の電極6、半導体ペレット1の外部端子2の夫々の間にはパンプ電極(CCB電極、突起電極)10が介在される。つまり、ベース基板5、半導体ペレット1の夫々は、パンプ電極10を介在して電氣的及び機械的に接続され、フェースダウン方式で接続される。半導体ペレット1はパンプ電極10を介在してベース基板5のペレット搭載面上に実装される。つまり、半導体ペレット1はベース基板5の専有面積内に配置される。

【0029】前記半導体ペレット1の外部端子2、半導体ペレット3の外部端子4の夫々の間にはパンプ電極10が介在される。つまり、半導体ペレット1、半導体ペレット3の夫々は、パンプ電極10を介在して電氣的及び機械的に接続され、フェースダウン方式で接続される。半導体ペレット3は、その素子形成面が半導体ペレット1の素子形成面と対向する状態でベース基板5のペレット搭載面側に搭載され、半導体ペレット1の素子形成面上に搭載される。つまり、半導体ペレット3はパンプ電極10を介在して半導体ペレット1の占有面積内に配置されるので、この半導体ペレット3の専有面積内に相当する分、半導体装置の実装密度(平面方向)を向上できる。また、半導体ペレット1の論理回路システム、半導体ペレット2の記憶回路システムの夫々は、パンプ電極10を介在して最短距離で電氣的に接続されるので、ワイヤーボンディング方式でボンディングされたワイヤを介在する場合に比べて信号伝達経路を短くでき、半導体装置の動作速度の高速化を図ることができる。前記パンプ電極10は、温度階層の最上とも高い温度に位置する半田材料で形成される。

【0030】前記封止用キャップ11は、断面形状がコの字形に形成され、ベース基板5とで半導体ペレット1、半導体ペレット3の夫々を収納しかつ気密封止するキャビティを構成する。封止用キャップ11は熱伝導性の良好な例えば窒化アルミニウムで形成される。

【0031】前記封止用キャップ11のペレット連結面(内壁)は熱伝導用充填材12を介在して半導体ペレット1の素子形成面と対向する裏面に連結される。熱伝導用充填材12は、両者間をほぼ完全に密着し、半導体ペレット1の素子形成面に搭載された論理回路システムの動作で発生する熱を封止用キャップ11に高い効率で伝達できる。この熱伝導用充填材12は、前記パンプ電極10に比べて融点が低い半田材料で形成される。

【0032】前記封止用キャップ12は、半導体ペレ

ット1の周囲において、封止材13によりベース基板5に接着される。封止材13は、半導体ペレット1の裏面に熱伝導用充填材12を介在して封止用キャップ11のペレット連結面を連結する際、熱伝導用充填材12の一部を封止用キャップ11とベース基板5との接着領域に流し込んだ熱伝導用充填材12で構成される。前記ベース基板5及び封止用キャップ11で形成され、封止材13で気密封止されるキャビティ内部には、組立プロセス中での封止工程で使用されるガスが充填される。

【0033】図2(図1に示す半導体装置の要部拡大断面図)に示すように、前記半導体ペレット1の外部端子2のうち、外部端子2Aは、パンプ電極10、ベース基板5の電極6の夫々を介在してベース基板5の多層配線構造の配線8Aの一方に電氣的に接続される。配線8Aの他方はベース基板5の電極9に接続される。この電極9には電源が印加され、配線8A、電極6、パンプ電極10及び外部端子2Aを通して半導体ペレット1の論理回路システムに供給される。

【0034】前記外部端子2のうち、外部端子2B1は隣接する外部端子2B2と一体に構成される。この外部端子2B1、外部端子2B2の夫々は、半導体ペレット1の論理回路システムに接続されない所謂ダミーパッドとして構成される。外部端子2B2は、パンプ電極10を介在して半導体ペレット3の外部端子4に電氣的に接続される。外部端子2B1は、パンプ電極10、ベース基板5の電極6の夫々を介在してベース基板5の多層配線構造の配線8Bの一方に接続される。配線8Bの他方はベース基板5の電極9に接続される。この電極9には電源が印加され、配線8B、電極6、パンプ電極10、外部端子2B1、2B2、パンプ電極10及び外部端子4を通して半導体ペレット3の記憶回路システムに供給される。つまり、半導体ペレット1、半導体ペレット2の夫々にはベース基板5の配線8A、配線8Bの夫々で独立に電源が供給され、半導体ペレット1の論理回路システム、半導体ペレット3の記憶回路システムの夫々の動作時に生じる電源ノイズを吸収し易いように構成される。

【0035】このように構成される半導体装置は、図3(システム構成図)に示すように、フェースダウン方式で冷却システム20の実装基板(モジュール基板又はPCB基板)23の実装面上に1個或は複数個実装される。つまり、半導体装置は、そのベース基板5の電極9にパンプ電極25を介在して実装基板23の電極24に電氣的及び機械的に接続することにより実装基板23に実装される。この半導体装置は、実装基板23及び封止用キャップ22で形成されるキャビティ内部に封止される。封止用キャップ22は封止材27により実装基板23に接着される。冷却システム20の実装基板23は、前記半導体装置のベース基板5と同様に多層配線構造で構成される。

【0036】前記半導体装置の封止用キャップ11の上側表面上にはクシ歯形状で形成される放熱フィン21が構成される。この放熱フィン21は熱伝導用充填材12、封止用キャップ11の夫々を通して伝導される、半導体ベレット1に搭載された論理回路システムの動作で発生する熱を冷却システム20側に放熱する目的で構成される。

【0037】前記封止用キャップ22は例えば窒化アルミニウムで構成される。この封止用キャップ22は、前記放熱フィン21と接触するクシ歯22Aが構成され、放熱フィン21を通して伝導される熱を上部に配置された水冷ジャケット26に放出する。この水冷ジャケット26には複数個の冷却用水管26Aが構成され、この冷却用水管26A内には冷却水が循環する。前述の放熱フィン21から封止用キャップ22に伝導される熱は、この水冷ジャケット26の冷却用水管26A内を循環する冷却水に伝達され、冷却システム20の外部に放出される。

【0038】前記半導体装置は、冷却システム20側に半導体ベレット1を配置している。この半導体ベレット1は、相補型MISFETに比べて消費電力が高い、つまり発熱量が大きいバイポーラトランジスタで構成された論理回路システムを搭載している。この論理回路システムの動作で発生する熱は、半導体ベレット1の裏面から熱伝導用充填材12を通して封止用キャップ11に効率的に伝導され、封止用キャップ11に伝導された熱は、放熱フィン21を通して効率的に冷却システム20に伝導される。

【0039】このように、ベース基板5のベレット搭載面(実装面)上に半導体ベレットが実装される半導体装置において、前記ベース基板5のベレット搭載面上にバイポーラトランジスタ(単一能動素子)を主体に構成される論理回路システムを有する半導体ベレット1を搭載し、この半導体ベレット1の論理回路システム上に、この論理回路システムのバイポーラトランジスタと異なる相補型MISFET(単一能動素子)を主体に構成される記憶回路システムを有する半導体ベレット3を、その記憶回路システムと半導体ベレット1の論理回路システムとが対向する状態で搭載し、前記半導体ベレット1の論理回路システム、半導体ベレット3の記憶回路システムの夫々をバンブ電極10を介在して電気的に接続する。この構成により、半導体ベレット1の占有面積内に半導体ベレット3を配置したので、この半導体ベレット3の占有面積に相当する分、半導体装置の実装密度を向上することができる。

【0040】また、半導体ベレット1の論理回路システム、半導体ベレット3の記憶回路システムの夫々をバンブ電極10を介在して最短距離で電気的に接続したので、ワイヤボンディング方式でボンディングされたワイヤを介在する場合に比べて信号伝達経路を短くでき、半

導体装置の動作速度の高速化を図ることができる。

【0041】また、半導体ベレット1の論理回路システムを構成するバイポーラトランジスタ、半導体ベレット3の記憶回路システムを構成する相補型MISFETの夫々を相互に異なる最適かつ独立な製造プロセスで形成でき、多種類の能動素子(バイポーラトランジスタ、相補型MISFET)を1つの半導体ベレットに混在して形成する場合に比べて、半導体ベレット1、半導体ベレット3の夫々の製造プロセス数を低減できるので、夫々の製造プロセスでの歩留まりを向上でき、結果的に最終的な半導体装置の歩留まりを向上できる。

【0042】また、前記半導体ベレット1の論理回路システム、半導体ベレット3の記憶回路システムの夫々は、前記ベース基板5の配線8A、配線8Bの夫々から独立に電源が供給される。この構成により、半導体ベレット1の論理回路システム、半導体ベレット3の記憶回路システムの夫々の動作時に生じる電源ノイズを吸収できるので、夫々の回路の動作速度を速め、半導体装置の動作速度の高速化をより図ることができる。

【0043】また、前記半導体ベレット1の論理回路システム、半導体ベレット3の記憶回路システムのうち、高い駆動能力が得られる(発熱量が大きい)バイポーラトランジスタで構成された論理回路システムを有する半導体ベレット1を、低消費電力化が得られる(発熱量が小さい)相補型MISFETで構成された記憶回路システムを有する半導体ベレット3に比べて、冷却システム20に近づけてベース基板5のベレット搭載面上に搭載する。この構成により、回路動作で発生する熱量の大きい半導体ベレット1を冷却システム20で冷却でき、この半導体ベレット1の放熱効率を高められるので、半導体ベレット1の誤動作を防止し、半導体装置の信頼性を向上できる。

【0044】なお、本実施例では、半導体ベレット1、半導体ベレット3の夫々を単晶珪素基板上で構成したが、このどちらか一方を例えばGaAs(ガリウム・砒素)からなる半絶縁性基板上で構成し、多機能化を高めてもよい。

【0045】また、半導体ベレット1、半導体ベレット2のうちどちらか一方の半導体ベレットを他方の半導体ベレットの補修用として構成してもよい。

【0046】以上、本発明者によってなされた発明を、前記実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【0047】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

【0048】ベース基板の実装面上に半導体ベレットが

実装される半導体装置において、実装密度を向上できる。

【0049】また、前記半導体装置の動作速度の高速化を図ることができる。

【0050】また、前記半導体装置の歩留まりを向上できる。

【0051】また、前記半導体装置の動作速度の高速化をより図ることができる。

【0052】また、前記半導体装置の誤動作を防止できる。

【図面の簡単な説明】

【図1】 本発明の一実施例である半導体装置の断面

図。

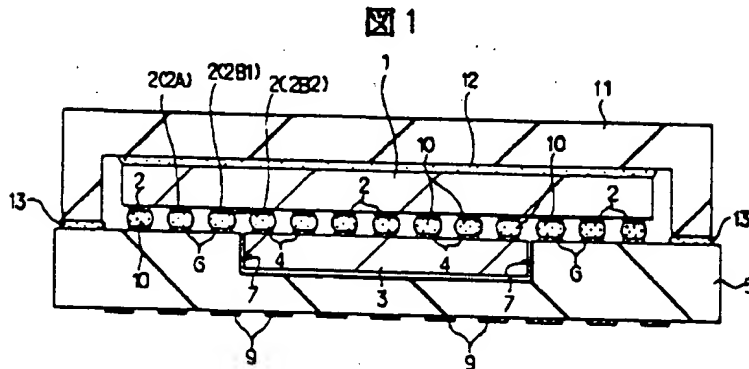
【図2】 前記半導体装置の要部拡大断面図。

【図3】 前記半導体装置を冷却システムに組込んだシステム構成図。

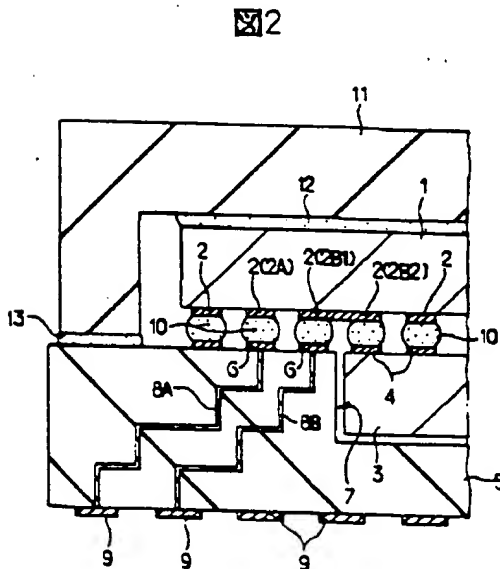
【符号の説明】

1…半導体ベレット、2…外部端子、3…半導体ベッ
ト、4…外部端子、5…ベース基板、6…電極、7…凹
部、8A、8B…配線、9…電極、10…パンプ電極、
11…封止用キャップ、12…熱伝導用充填材、13…
封止材、20…冷却システム、21…放熱フィン、22
…封止用キャップ、23…実装基板。

【図1】



【図2】



【図3】

